

PAT-NO: JP402199859A
DOCUMENT-IDENTIFIER: JP 02199859 A
TITLE: ELECTRONIC COMPONENT DEVICE AND
MANUFACTURE THEREOF
PUBN-DATE: August 8, 1990

INVENTOR-INFORMATION:

NAME
YAMADA, HIROSHI
SAITO, MASAYUKI

ASSIGNEE-INFORMATION:

NAME
TOSHIBA CORP COUNTRY
N/A

APPL-NO: JP01017784

APPL-DATE: January 30, 1989

INT-CL (IPC): H01L025/04, H01L025/18, H05K001/18

US-CL-CURRENT: 29/825, 257/724, 438/FOR.375

ABSTRACT:

PURPOSE: To realize a high-density mounting operation and a small size and to make a heat-dissipating property good by a method wherein semiconductor element chips are mounted respectively on five faces other than a face on which terminals for connection to external apparatuses have been formed out of six faces of a rectangular parallelepiped block of a rectangular parallelepiped shape.

CONSTITUTION: A substrate 11 is stamped to be a cross

shape by means of a stamping press; pads 17 are formed on one region out of six regions partitioned by broken lines; pads 14 are formed on other five regions; in addition, wiring parts 15, 16 are formed as required. Then, the substrate 11 where a circuit has been formed is folded up at the broken line parts in such a way that a circuit face is situated at the inside; a rectangular parallelepiped shape is assembled. Terminals (first terminals for connection use) 20 for connection to external apparatuses are connected to the rear surface (face on which the pads 17 have been formed) of the rectangular parallelepiped block; semiconductor element chips 30 are connected to the rectangular parallelepiped block 10 on which the circuit has been formed in advance.

COPYRIGHT: (C)1990,JPO&Japio

⑨日本国特許庁(JP) ⑩特許出願公開
 ⑫公開特許公報(A) 平2-199859

⑥Int.Cl.
 H 01 L 25/04
 25/18
 H 05 K 1/18

識別記号

庁内整理番号

⑪公開 平成2年(1990)8月8日

S 6736-5E H 01 L 25/04
 7638-5F H 01 L 25/04
 審査請求 未請求 請求項の数 4 Z
 (全7頁)

④発明の名称 電子部品装置及びその製造方法

⑤特 願 平1-17784
 ⑥出 願 平1(1989)1月30日

⑦発明者 山田 浩 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦発明者 斎藤 雅之 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑦代理人 弁理士 鈴江 武彦 外3名

明細書

1. 発明の名称

電子部品装置及びその製造方法

2. 特許請求の範囲

(1) 直方体形状に形成された直方体ブロックと、この直方体ブロックの1つの面に形成され外部機器との接続に供される第1の接続用端子と、前記直方体ブロックの他の面に形成され前記第1の接続用端子と電気的に接続された第2の接続用端子と、前記直方体ブロックの前記第2の接続用端子を形成した面に搭載され該接続用端子と電気的に接続された半導体素子チップとを具備してなることを特徴とする電子部品装置。

(2) 前記半導体素子チップは、前記直方体ブロックの表面に対してフェースダウン構造を有し、該チップの表面に形成されたバンプと前記第2の接続用端子とを接続してなることを特徴とする請求項1記載の電子部品装置。

(3) 直方体を展開した形状を有する基板の1つの面に外部機器との接続に供される第1の接続用

端子を形成すると共に、他の面に該面に搭載される半導体素子チップとの接続に供される第2の接続用端子を形成し、且つ第1及び第2の接続用端子を接続する配線を形成する工程と、前記基板を折り曲げて直方体ブロックに組み立てる工程と、前記第2の接続用端子を形成した面に半導体素子チップを搭載する工程などを含むことを特徴とする電子部品装置の製造方法。

(4) 直方体形状を有する直方体ブロックと、この直方体ブロックの1つの面に形成され外部機器との接続に供される第1の接続用端子と、前記直方体ブロックの他の面に形成され該面に搭載される半導体素子チップとの接続に供される第2の接続用端子と、前記第1及び第2の接続用端子を接続する配線とを具備してなることを特徴とする電子部品装置。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

本発明は、電子部品装置に係わり、特に複数

個の半導体素子チップを搭載した電子部品装置に関する。

(従来の技術)

近年、半導体装置は急速な高集成化の傾向にあり、特にメモリLSIに関してはデザインホールがサブミクロンとなり、素子の大容量化が進んでいる。しかし、現在の技術では配線ルールに限界があり、素子容量を増大させようとすれば、必然的にチップサイズを大きくせざるを得ない。大きなチップサイズを持つ半導体装置は、歩留り或いは取扱い等の点から問題がある方法であり、このため大容量化に限界が生じ始めている。

従って、1個の半導体装置で実現できない大容量が必要な電子部品については、半導体装置を複数個搭載することで部品の容量を増大させる方法を用いている。例えば、10Mビットの容量が必要な電子部品については、1MビットのメモリLSIを10個1つの基板に搭載して電子部品を組み立てるというものである。

61の接続用パッド間をA0或いはA1等のワイヤー54で接続するものである。この場合、第6図に示すように、チップサイズ $1 \times m$ に対して接続に要するサイズは2~3倍程度のサイズ $1_2 \times m_2$ が必要となり、パッケージを用いる場合よりは小さいサイズで済む。しかし、電子部品としてはチップサイズ $1 \times m$ の10~15倍程度のサイズ $l_2 \times M_2$ が必要となり、十分に小型化がはかれてているとは言えない。

一方、小型化をはかる別の手段として、従来のように平面的に半導体素子チップを配設するのではなく、第7図(a)に示す如くチップ51を実装した基板71を積層することで、同図(b)に示す如き電子部品を構成することが考えられている。この方法を用いれば、前記第5図のようにチップを平面的に配設した場合と比較して、電子部品の面積を少なくとも $1/n$ 以下して(n はチップの数)抑えることができる。しかし、積層構造を採用していることから、複数チップの一部はその上下を基板で挟まれること

この半導体装置を複数個搭載する方法では、要求される電子部品の大きさを問題としない場合においては、第4図に示すようにDIP、PGA等のパッケージ化された半導体装置をプリント基板上に搭載する方法を用いている。なお、図中51は半導体素子チップ、52はパッケージ、53はアウタリード、61はプリント基板、62は外部機器との接続用端子を示している。ところが、このパッケージを搭載する方法は第4図中に示すようにチップサイズ $1 \times m$ に対してパッケージサイズが4~5倍程度 $1_1 \times m_1$ が必要なため、電子部品としてはチップサイズ $1 \times m$ の20~25倍程度のサイズが必要となり、小型化がはかれない問題がある。

そこで、第5図に示すように、パッケージを用いないペアチップによる実装が考えられている(特公昭63-47143号公報)。この方法は、プリント基板61上に半導体素子チップ51をマウントし、例えばワイヤーボンディング方法を用いてチップ51のボンディングパッドと基板

になり、チップからの熱を外部に有効に放出することができない。このため、電子部品内部に熱が蓄積され、素子特性が劣化する等の問題があった。

(発明が解決しようとする課題)

このように従来の電子部品装置において、大容量化をはかるためにプリント基板に平面的に複数個の半導体装置を搭載する場合、パッケージ部品を用いるときは実装面積として必要とされる電子部品の面積が半導体素子チップの20~30倍程度必要であり、またペアチップを用いてプリント基板にチップを搭載した場合は面積が同様に10~15倍程度必要であり、いずれにしても極めて大きな実装面積を必要とした。

また、平面的な半導体装置の配設に対して、半導体素子チップをマウントした基板を複数枚積層することで、複数個の半導体装置を1つの電子部品として組み立てる方法があるが、この方法ではチップを平面的に搭載する場合と比較して実装面積は $1/n$ と小さくなるものの、放

熱性の問題を考えた場合は必ずしも有効な方法ではなかった。

本発明は、上記事情を考慮してなされたもので、その目的とするところは、複数個の半導体素子チップを実装することができ、小型で高密度実装が可能であり、且つ放熱性に優れた電子部品装置及びその製造方法を提供することにある。

[発明の構成]

(課題を解決するための手段)

本発明の骨子は、複数個の半導体素子チップを3次元的に配置することにあり、さらに積層配置するのではなく直方体の各面にそれぞれ配置することにある。

即ち本発明は、複数個の半導体素子チップを実装して大容量の回路を実現する電子部品装置において、直方体形状に形成された直方体ブロックと、この直方体ブロックの1つの面に形成され外部機器との接続に供される第1の接続用端子と、前記直方体ブロックの他の面に形成さ

素子チップを搭載することができる。このため、半導体素子チップを平面的に配置する場合と比較して、実装面積は概ね1/5又はそれ以下に抑えられることになり、高密度実装、小型化が可能となる。また、半導体素子チップは直方体ブロックの表面に搭載される構造から、半導体素子チップを積層配置する場合と比較して、放熱性に優れ信頼性の高いものとなる。

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例に係わる電子部品装置の概略構成を示す斜視図である。図中10は中空構造を有する直方体形状に形成された直方体ブロックであり、この直方体ブロック10の6つの平面のうちの1つの平面には外部機器との接続のためのリードピン(第1の接続用端子)20が設けられている。また、直方体ブロック10の他の5つの平面には、図示しないボンディングパッド(第2の接続用端子)が設け

れ前記第1の接続用端子と電気的に接続された第2の接続用端子と、前記直方体ブロックの前記第2の接続用端子を形成した面に搭載され該接続用端子と電気的に接続された半導体素子チップとを設けるようにしたものである。

また本発明は、上記電子部品装置の製造方法において、直方体を展開した形状を有する基板の1つの面に外部機器との接続に供される第1の接続用端子を形成すると共に、他の面に該面に搭載される半導体素子チップとの接続に供される第2の接続用端子を形成し、さらに第1及び第2の接続用端子を接続する配線を形成し、次いで前記基板を折り曲げて直方体ブロックに組み立て、該組み立て工程の後又は前に、第2の接続用端子を形成した面に半導体素子チップを搭載するようにした方法である。

(作用)

本発明によれば、直方体形状の直方体ブロックの6つの面のうち、外部機器との接続用端子を形成した面以外の5つの面にそれぞれ半導体

素子チップを搭載することができる。このため、半導体素子チップを平面的に配置する場合と比較して、実装面積は概ね1/5又はそれ以下に抑えられることになり、高密度実装、小型化が可能となる。また、半導体素子チップは直方体ブロックの表面に搭載される構造から、半導体素子チップを積層配置する場合と比較して、放熱性に優れ信頼性の高いものとなる。

次に、上記装置の製造方法及び具体的構造を、第2図を参照して説明する。第2図(a)は直方体ブロックの展開図、(b)は同図(a)の矢視A-A断面図である。まず、ポリイミド等の可塑性を有する有機物からなる基板11を用意し、この基板11を打ち抜きプレスにより第2図(a)に示す如く十字型に打ち抜く。

次いで、図中破線で区切られた6つの領域のうち1つの領域にパッド17を形成し、他の5つの領域にパッド14を形成し、さらに必要に応じて配線15、16を形成する。ここで、パッド17は外部機器との接続用端子(第1の接続用端子)となるものである。また、パッド14は、反対側の面に形成されたボンディングパッド12とスルーホール配線13を介して接続されている。ボンディングパッド12は、半導体素子チップ30との接続に供される接続用

端子（第2の接続用端子）となるものである。配線15は、必要に応じてパッド14同士を接続するものである。また、配線16はパッド14をパッド17に接続するものである。

次いで、上記回路形成された基板11を回路面が内側となるように図中破線部で折り疊むことにより、直方体形状に組み立てる。以上のようにして得られた直方体ブロック10に対して、例えば直径0.5mm、長さ2.5mmのリードピンを25本直方体ブロックの下面（パッド17を形成した面）に対して林立するように形成することで、外部機器との接続用端子（第1の接続用端子）20を形成する。なお、リードピンの接続は、直方体ブロック10の組み立て前に行なってよい。

こうして外部機器との接続用端子20と予め回路が形成された直方体ブロック10に対して半導体素子チップ30を接続する訳であるが、このとき半導体素子チップ30には周知の回路技術によりバンプ31が形成されており、この

法により構成された電子部品装置の取扱いを容易にするのと信頼性を保つ意味から、エポキシ樹脂或いはAIN、Al₂O₃等のセラミックスにより封止してもよい。

かくして本実施例によれば、5個の半導体素子チップ30を実装した電子部品装置とした場合は、ペアチップを平面的に並べた前記第6図の場合と比較して1/5以下の実装面積に収めることができる。このため、高密度実装が可能であり、装置構成の小型化をはかることができる。しかも、半導体素子チップを積層する構造とは異なり、直方体ブロック10の表面にチップ30が搭載されるので、放熱性にも優れるという利点がある。また、直方体ブロック10の各表面に異なる種類の半導体素子チップを搭載することで、多種の用途を持った電子部品装置を実現することが可能となる。さらに、パッド14、17を接続するための配線16を展開基板11の内側に設けているので、直方体ブロックに組み立てる際に配線16が引っ張られるこ

バンプ31と直方体ブロックの接続用パッド12とを位置合わせし、加熱圧縮することで接続する。このバンプは半導体素子チップの入出力ピンが多ピンである場合は必ずしも通常のチップに見られるようにチップの周囲に形成する必要はなく、例えば特開昭52-8785号公報に開示されているように半導体素子チップの能動領域上に形成されていてもよい。

また、半導体素子チップ30の接続は、放熱性が要求される場合はフェースダウン構造とするのが望ましいが、必ずしもフェースダウン構造に限定されるものではなく、放熱性が高度に要求されない場合は、ワイヤボンディング法、TAB等の他の接続法を用いてよい。逆に、極めて高熱量を発生する半導体素子チップを接続する場合は、放熱性に優れた構造とするために、第1図に示した直方体ブロック10の中空部内に、例えばHe等の冷却媒体を封入し、加えて接続される半導体素子チップの裏面に放熱フィンを設ければよい。さらに、以上述べた方

とはなく、配線16の断線を未然に防止することができる。

なお、前記展開基板11は必ずしもポリイミド等の有機物に限るものではなく、アルミニウム等の剛性のある金属を用いることができる。この場合、金属板上に周知の技術であるスクリーン印刷法により紫外線硬化樹脂をスクリーン印刷し、紫外線を用いて硬化させる。こうして得られた絶縁層に対して、例えばAu粒子を導体とした厚膜ペーストを先のスクリーン印刷法を用いて回路形成を行った後、所定のパッドのみを除いて再び絶縁層を形成すればよい。また、金属板としてCu薄膜等の可塑性のある金属板を用いてよい。

第3図は本発明の他の実施例を説明するための斜視図である。なお、第1図及び第2図と同一部分には同一符号を付して、その詳しい説明は省略する。

この実施例は、積層基板により直方体ブロックを構成したものである。即ち、まずガラスエ

ポキシ樹脂からなる基板に周知の技術により Cu箔をラミネートし、このCu箔をエッティングすることで、第3図(a)に示す如くパッド12及び配線15等を形成した単位基板41を用意する。次いで、この単位基板41を例えればプレスにより複数個ラミネートすることで、第3図(b)に示す如く直方体形状を有する直方体ブロック40を形成する。

この場合、単位基板41を形成する材質は必ずしもガラスエポキシ樹脂である必要はなく、例えはポリカーボネイト樹脂であってもよいし、フェノール樹脂であってもよい。さらに、導体を形成する材質はCuでなくてもよく、例えはAu、Al等であってもよい。また、最下層の単位基板41の下面には外部機器との接続用端子(図示せず)が形成され、各基板41の内部には接続用端子と前記パッド14とを接続するためのスルーホール配線(図示せず)が形成されている。

このような実施例であっても、直方体ブロック

機器との接続用端子を形成した面以外の5つの面にそれぞれ半導体素子チップを搭載することができる。従って、1個の半導体素子チップの実装面積で、複数個の半導体素子チップを実装することができ、小型で高密度実装が可能となる。また、半導体素子チップは直方体ブロックの表面に搭載される構造から、半導体素子チップを積層配置する場合と比較して、放熱性に優れ信頼性の高いものとすることができます。

4. 図面の簡単な説明

第1図は本発明の一実施例に係わる電子部品装置の概略構成を示す斜視図、第2図は上記装置の製造方法及び具体的構成を説明するための図、第3図は本発明の他の実施例を説明するための斜視図、第4図乃至第7図はそれぞれ従来の問題点を説明するための図である。

10…直方体ブロック、11…基板、
12…ポンディングパッド(第2の接続用端子)
13…スルーホール配線、14…パッド、
15、16…配線、17…パラド(第1の接続

ク40の表面に半導体素子チップ30を搭載することができ、先の実施例と同様の効果が得られる。

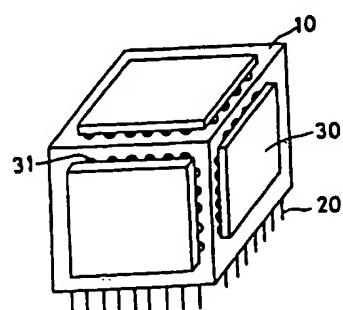
なお、本発明は上述した各実施例に限定されるものではない。実施例では、直方体ブロックを組み立てた後に半導体素子チップを実装したが、組み立て前にチップを実装することも可能である。また、目的に応じて直方体ブロックの1面内に複数個の半導体素子チップを接続してもよいし、1つの電子部品の接続される面に対して種類の異なる半導体素子チップを接続してもよい。さらに、第1図に示した外部機器との接続用端子はピン形状を有する端子であるが、例えはエッジコネクタのように平面的に形成されたものであってもよい。その他、本発明の要旨を逸脱しない範囲で、組み変形して実施することができる。

【発明の効果】

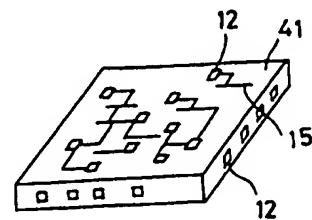
以上詳述したように本発明によれば、直方体形状の直方体ブロックの6つの面のうち、外部

用端子)、20…リードピン(第1の接続用端子)、30…半導体素子チップ、31…バンプ。

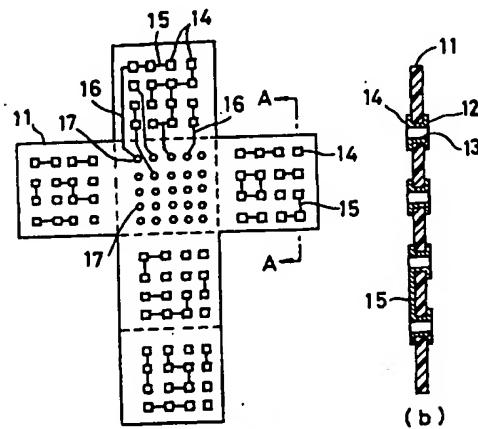
出願人代理人弁理士鈴江武彦



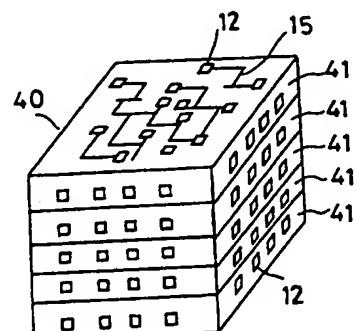
第1図



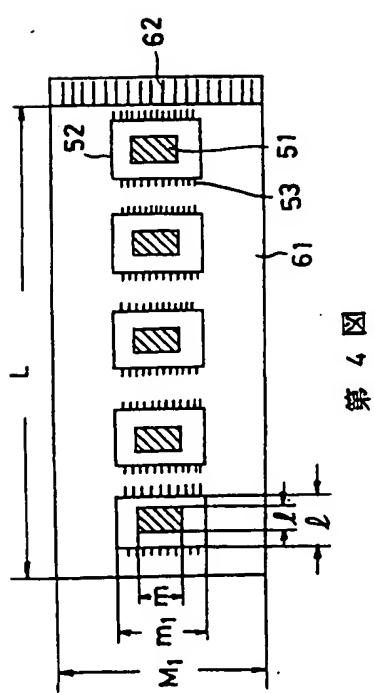
(a)



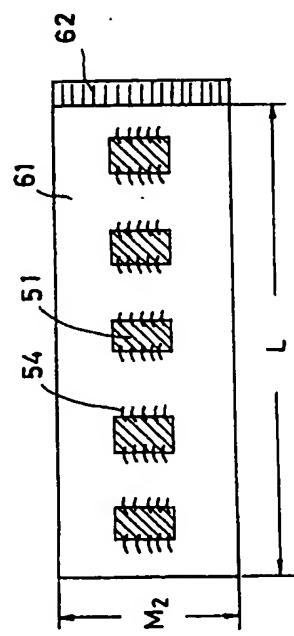
(b) 第2図



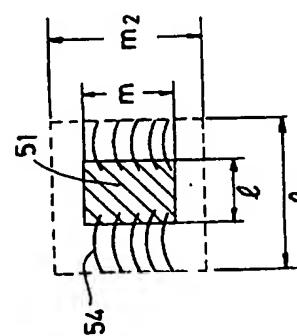
(b) 第3図



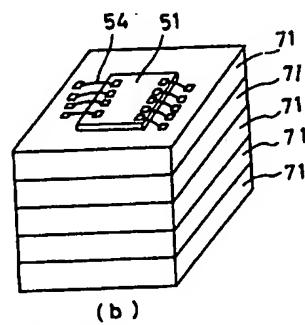
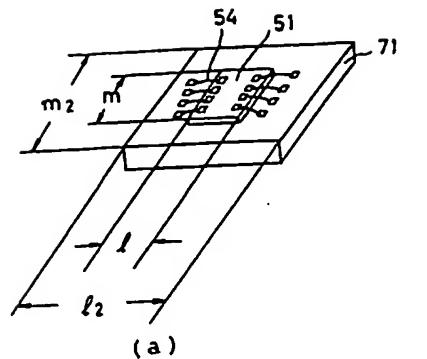
第4図



第5図



第6図



第7図